

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-293436  
(43)Date of publication of application : 27.11.1989

(51)Int.CI. G06F 7/50

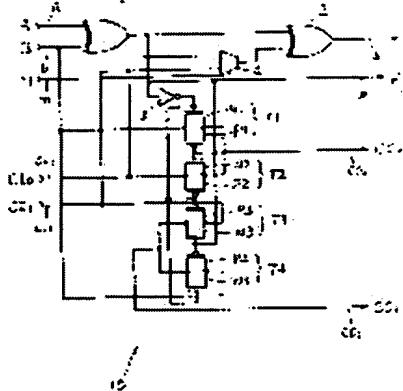
(21)Application number : 63-124417 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 20.05.1988 (72)Inventor : TAKASHIMA MASAHIKO  
MATSUMURA TETSUYA

## (54) ADDER

(57)Abstract:

**PURPOSE:** To attain a high speed action with the small number of elements by providing respectively the channel of a carrier signal corresponding to the time of a usual action and the time of a reverse action and providing one gate step at respective channels.

**CONSTITUTION:** Since a control signal M given to a control terminal (m) is an 'L' level at the time of a normal action, a multiplexer 4 selects a carrying signal CI0 given to a first carrying input terminal ci0 and gives it to an ExOR gate 2. Since the control signal M given to the control terminal (m) is an 'H' level at the time of the reverse action, the multiplexer 4 selects a carrying signal CI1 given to a second carrying input terminal ci1 and gives it to the ExOR gate 2. Thus, a transfer gate, in which a carrying signal passes, is made into one step. Thus, a high speed action can be executed.



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-293436

⑬ Int. Cl. \*

G 06 F 7/50

識別記号

庁内整理番号

A-7056-5B

⑭ 公開 平成1年(1989)11月27日

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 加算器

⑯ 特願 昭63-124417

⑯ 出願 昭63(1988)5月20日

⑰ 発明者 高島 雅彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社カスタムLSI設計技術開発センター内

⑰ 発明者 松村 哲哉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

加算器

2. 特許請求の範囲

第1の被加算信号を受ける第1の入力端子、  
第2の被加算信号を受ける第2の入力端子、  
加算結果を出力するための出力端子、  
キャリ信号を受ける第1のキャリ入力端子、  
キャリ信号を受ける第2のキャリ入力端子、  
前記第1のキャリ入力端子に対応して設けられる第1のキャリ出力端子、  
前記第2のキャリ入力端子に対応して設けられる第2のキャリ出力端子、

選択信号を受ける選択端子、

前記第1のキャリ入力端子と前記第1のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる第1のゲート手段、

前記第2のキャリ入力端子と前記第2のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる第2のゲート手段、

前記選択端子に与えられる選択信号に応答して、  
前記第1のキャリ入力端子または前記第2のキャリ入力端子を選択する選択手段、

前記第1の被加算信号、前記第2の被加算信号、  
および前記選択手段により選択されたキャリ入力端子に与えられるキャリ信号を加算し、その加算結果を前記出力端子に与える演算手段、および  
前記第1の被加算信号と前記第2の被加算信号  
とが異なる場合に、前記第1および第2のゲート手段のうち、少なくとも前記選択手段により選択されたキャリ入力端子に結合されるゲート手段を導通状態にし、前記第1の被加算信号と前記第2の被加算信号とが同じ場合には、前記第1および第2のキャリ出力端子のうち、少なくとも前記選択されたキャリ入力端子に対応するキャリ出力端子にその被加算信号と同じ信号を与えるキャリ制御手段を備えた、加算器。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は加算器に関し、特にノーマル動作お

およびリバース動作が可能な加算器に関する。

【従来の技術】

第5図は、通常の加算動作（ノーマル動作）およびビットリバース加算動作（リバース動作）が可能な従来の加算器の構成を示す回路図である。

第5図に示される加算器20は、排他的論理ゲート（以下、ExORゲートという）T21, T22、インバータT23, T24, T25、ORゲートT26、ANDゲートT27、およびトランസファゲートT21～T24を含む。トランസファゲートT21～T24はNチャネルMOSトランジスタからなる。入力端子aには被加算信号である入力信号Aが与えられ、入力端子bには被加算信号である入力信号Bが与えられる。制御端子qには制御信号Qが与えられ、キャリ端子c1にはキャリ信号CIが与えられる。和出力端子sからは加算結果である和出力信号Sが出力される。キャリ伝播端子pからはキャリ伝播信号（Carry Propagate）Pが出力され、キャリ端子c0からは桁上げを示すキャリ信号COが出力される。

また、ExORゲートT21の出力はExORゲートT22の一方の入力端子およびキャリ伝播端子pに与えられる。ExORゲートT22の他方の入力端子はトランസファゲートT21およびT22間の接続点に接続されている。ExORゲートT22の出力は和出力端子sに与えられる。さらに、入力端子bはトランಸファゲートT23およびT24間の接続点に接続されている。

次に、表1および表2を参照しながら第5図の加算器の動作について説明する。

表1

Q	A	B	CI	P	S	CO
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	1	1	0
0	0	1	1	1	0	1
0	1	0	0	1	1	0
0	1	0	1	1	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	1

ExORゲートT21の一方の入力端子は入力端子aに接続され、他方の入力端子は入力端子bに接続されている。また、キャリ端子c1とキャリ端子c0との間には、トランസファゲートT21およびT22が直列に接続され、かつ、トランಸファゲートT23およびT24が直列に接続されている。ExORゲートT21の出力はインバータT23を介してANDゲートT27の一方の入力端子に与えられる。ANDゲートT27の他方の入力端子には制御端子qから制御信号Qが与えられる。ANDゲートT27の出力はトランಸファゲートT23のゲートに与えられかつインバータT24を介してトランಸファゲートT21のゲートに与えられる。また、ExORゲートT21の出力はORゲートT26の一方の入力端子に与えられる。ORゲートT26の他方の入力端子には制御端子qから制御信号Qが与えられる。ORゲートT26の出力はトランಸファゲートT22のゲートに与えられかつインバータT25を介してトランಸファゲートT24のゲートに与えられる。

表2

Q	A	B	CO	P	S	CI
1	0	0	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	1	0
1	0	1	1	1	0	1
1	1	0	0	1	1	0
1	1	0	1	1	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	1

表1は、加算器20のノーマル動作時の真理値表である。ノーマル動作時には、キャリ端子c1にキャリ信号CIが入力され、キャリ端子c0からキャリ信号COが出力される。ノーマルモード時には制御信号Qは「0」（「L」レベル）に固定される。

表1に示すように、入力信号AおよびBが共に「0」のときには、入力されるキャリ信号CIに関係なく出力されるキャリ信号COは「0」となる。すなわち、キャリ信号COが“Kill”さ

れる。したがって、入力信号 A および B が共に「0」のときには、入力信号 A または B がキャリ信号 C 0 として出力される。

入力信号 A および B が共に「1」(「H」レベル)のときには、入力されるキャリ信号 C I に関係なく出力されるキャリ信号 C 0 は「1」となる。すなわち、キャリ信号 C 0 が "Generate" される。したがって、入力信号 A および B が共に「1」のときは、入力信号 A または B がキャリ信号 C 0 として出力される。

入力信号 A および B の和が「1」のとき、すなわち入力信号 A および B のいずれか一方が「1」でありかつ他方が「0」であるときには、キャリ信号 C I が「1」ならばキャリ信号 C 0 も「1」となり、キャリ信号 C I が「0」ならばキャリ信号 C 0 も「0」となる。すなわち、キャリ信号 C I がそのまま "Propagate" される。したがって、入力信号 A および B の和が「1」のときには、キャリ信号 C I がそのままキャリ信号 C 0 として出力される。

は和出力信号 S は「1」となる。

入力信号 A および B が共に「1」のときにも同様に、EXOR ゲート 21 の出力は「L」レベルとなる。したがって、キャリ伝播信号 P も同様に「0」となり、また、同様にトランスファゲート T 22 がオフしトランスファゲート T 24 がオンする。その結果、入力信号 B がトランスファゲート T 24 を介してキャリ端子 c 0 からキャリ信号 C 0 として出力される。したがって、キャリ信号 C 0 は「1」となる。このとき、EXOR ゲート 22 の一方の入力端子には EXOR ゲート 21 からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲート T 21 を介してキャリ信号 C I が与えられる。したがって、キャリ信号 C I が「0」のときには和出力信号 S は「0」となり、キャリ信号 C I が「1」のときには和出力信号 S は「1」となる。

入力信号 A および B のいずれか一方が「0」であり他方が「1」のときには、EXOR ゲート 21 の出力は「H」レベルとなる。したがって、キ

第5図において、ノーマル動作時には制御端子 q に与えられる制御信号 Q は「L」レベルであるので、AND ゲート 27 の出力は「L」レベルとなり、トランスファゲート T 21 がオンしトランスファゲート T 23 がオフする。入力信号 A および B が共に「0」のとき、EXOR ゲート 21 の出力は「L」レベルとなる。したがって、キャリ伝播信号 P は「0」となる。また、OR ゲート 26 の出力は「L」レベルとなり、トランスファゲート T 22 がオフしトランスファゲート T 24 がオンする。その結果、入力信号 B がトランスファゲート T 24 を介してキャリ端子 c 0 からキャリ信号 C 0 として出力される。したがって、キャリ信号 C 0 は「0」となる。このとき、EXOR ゲート 22 の一方の入力端子には EXOR ゲート 21 からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲート T 21 を介してキャリ信号 C I が与えられる。したがって、キャリ信号 C I が「0」のときには和出力信号 S は「0」となり、キャリ信号 C I が「1」のときには

キャリ伝播信号 P は「1」となる。また、OR ゲート 26 の出力が「H」レベルとなり、トランスファゲート T 22 がオンしトランスファゲート T 24 がオフする。すなわち、トランスファゲート T 21 および T 22 がオンするので、キャリ端子 c 0 に入力されるキャリ信号 C I はそのままキャリ端子 c 0 に伝播される。したがって、キャリ信号 C 0 はキャリ信号 C I と同じになる。このとき、EXOR ゲート 22 の一方の入力端子には EXOR ゲート 21 からの「H」レベルの出力が与えられ、他方の入力端子にはトランスファゲート T 21 を介してキャリ信号 C I が与えられる。したがって、キャリ信号 C I が「0」のときには和出力信号 S は「1」となり、キャリ信号 C I が「1」のときには和出力信号 S は「0」となる。

表2は、加算器 20 のリバース動作時の真理値表である。リバース動作時には、キャリ端子 c 0 にキャリ信号 C 0 が入力され、キャリ端子 c 1 からキャリ信号 C I が output される。また、リバース動作時には、制御信号 Q は「1」に固定される。

表2が表1と異なるのは、制御信号Qが「1」となっている点、およびキャリ信号C1とキャリ信号COとが入替わっている点である。

第5図において、リバース動作時には、制御端子qに与えられる制御信号Qは「H」レベルであるので、ORゲート26の出力は「H」レベルとなり、トランスファゲートT22がオンしトランスファゲートT24がオフする。入力信号AおよびBが共に「0」のとき、EXORゲート21の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、ANDゲート27の出力が「H」レベルとなり、トランスファゲートT21がオフしトランスファゲートT23がオンする。その結果、入力信号BがトランスファゲートT23を介してキャリ端子c1からキャリ信号C1として出力される。したがって、キャリ信号C1は「0」となる。このとき、EXORゲート22の一方の入力端子にはEXORゲート21からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT22を介し

てキャリ信号COが与えられる。したがって、キャリ信号COが「0」のときには和出力信号Sは「0」となり、キャリ信号COが「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBが共に「1」のときにも同様に、EXORゲート21の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、ANDゲート27の出力が「H」となり、トランスファゲートT21がオフしトランスファゲートT23がオンする。その結果、入力信号BがトランスファゲートT23を介してキャリ端子c1からキャリ信号C1として出力される。したがって、キャリ信号C1は「1」となる。このとき、EXORゲート22の一方の入力端子にはEXORゲート21からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT22を介してキャリ信号COが与えられる。したがって、キャリ信号C1が「0」のときには和出力信号Sは「0」となり、キャリ信号C1が「1」のときには和出力信号Sは「1」とな

る。

入力信号AおよびBのいずれか一方が「0」であり他方が「1」であるときには、EXORゲート21の出力は「H」レベルとなる。したがって、キャリ伝播信号Pは「1」となる。また、ANDゲート27の出力が「L」レベルとなり、トランスファゲートT21がオンしトランスファゲートT23がオフする。すなわち、トランスファゲートT22およびT21がオンするので、キャリ端子c0に入力されるキャリ信号COはそのままキャリ端子c1に伝播される。したがって、キャリ信号C1はキャリ信号COと同じになる。このとき、EXORゲート22の一方の入力端子にはEXORゲート21からの「H」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT22を介してキャリ信号COが与えられる。したがって、キャリ信号COが「0」のときには和出力信号Sは「1」となり、キャリ信号COが「1」のときには和出力信号Sは「0」となる。このように、ノーマル動作においてもリバース

動作においても、入力信号AおよびBが互いに異なるときには、キャリ伝播信号Pが「1」となり、入力されたキャリ信号は2段のトランスファゲートを介して一方のキャリ端子から他方のキャリ端子に伝播されそのまま出力される。

第6図は、第5図の加算器20を用いて構成された4ビットのキャリ・ルック・アヘッド(Carry Look Ahead)方式の加算回路を示す図である。

第6図の加算回路は、4つの加算器20<sub>k</sub>から構成されている。ここで、kは0～3の整数である。1桁目の加算器20<sub>0</sub>のキャリ端子c1はNチャネルMOSトランジスタN31を介して端子1に接続されている。各加算器20<sub>0</sub>, 20<sub>1</sub>, 20<sub>2</sub>, 20<sub>3</sub>のキャリ端子c0はそれぞれ次桁の加算器20<sub>1</sub>, 20<sub>2</sub>, 20<sub>3</sub>のキャリ端子c1に接続されている。4桁目の加算器20<sub>3</sub>のキャリ端子c0はNチャネルMOSトランジスタN32を介して端子0に接続されている。各加算器20<sub>k</sub>のキャリ伝播端子pはNANDゲート31の入力端

子に接続されている。NANDゲート31の出力はANDゲート32の一方の入力端子およびANDゲート33の一方の入力端子に与えられる。制御信号Qは各加算器20<sub>i</sub>の制御端子qに与えられる。また、制御信号Qは、ANDゲート33の他方の入力端子に与えられかつインバータ34を介してANDゲート32の他方の入力端子に与えられる。ANDゲート32の出力はトランジスタN31のゲートに与えられ、ANDゲート33の出力はトランジスタN32のゲートに与えられる。さらに、端子iと端子oとはNチャネルMOSトランジスタN33を介して接続され、そのトランジスタN33のゲートにはNANDゲート31の出力がインバータ35を介して与えられる。

各加算器20<sub>i</sub>の入力端子a, bにはそれぞれ入力信号A(k), B(k)が与えられる。また、各加算器20<sub>i</sub>の和出力端子sからはそれぞれ和出力信号S(k)が outputされる。

各加算器20<sub>i</sub>において、2つの入力信号A(k)およびB(k)が互いに異なる場合には、

加算器20<sub>i</sub>のキャリ端子c<sub>0</sub>に入力され、各加算器20<sub>i</sub>のキャリ端子c<sub>i</sub>から出力されるキャリ信号が順次下位桁の加算器20<sub>i-1</sub>のキャリ端子c<sub>0</sub>に与えられる。

一方、4つの加算器20<sub>i</sub>から出力されるキャリ伝播信号Pがすべて「1」であるときには、NANDゲート31の出力は「L」レベルとなる。これにより、ANDゲート32および33の出力は「L」レベルとなり、トランジスタN31およびN32はオフする。このとき、インバータ35の出力は「H」レベルとなり、トランジスタN33がオンする。これにより、端子iと端子oとが接続されることになる。したがって、ノーマル動作時には、端子iに与えられるキャリ信号がトランジスタN33を介してそのまま端子oから出力される。また、リバース動作時には、端子oに与えられるキャリ信号がトランジスタN33を介してそのまま端子iから出力される。すなわち、キャリ伝播信号Pがすべて「1」となるときには、キャリ信号は4つの加算器20<sub>i</sub>を飛越してその

キャリ伝播端子pから出力されるキャリ伝播信号Pは「1」となる。4つの加算器20<sub>i</sub>から出力されるキャリ伝播信号Pのうちいずれかが「0」であるときには、NANDゲート31の出力は「H」レベルとなる。ノーマル動作時には、制御信号Qは「L」レベルであるので、ANDゲート32の出力は「H」レベルとなり、ANDゲート33の出力は「L」レベルとなる。したがって、トランジスタN31がオンし、トランジスタN32がオフする。この場合、端子iに与えられるキャリ信号が1桁目の加算器20<sub>0</sub>のキャリ端子c<sub>i</sub>に入力され、各加算器20<sub>i</sub>のキャリ端子c<sub>0</sub>から出力されるキャリ信号が順次上位桁の加算器20<sub>i+1</sub>のキャリ端子c<sub>i</sub>に与えられる。

リバース動作時には、制御信号Qが「H」レベルであるので、ANDゲート32の出力は「L」レベルとなり、ANDゲート33の出力は「H」レベルとなる。これにより、トランジスタN31がオフし、トランジスタN32がオンする。この場合、端子oに与えられるキャリ信号が4桁目の

まま出力されることになるので、高速化が図られる。

このような方式を、キャリ・ルック・アヘッド方式または桁上げ先見方式という。

#### 【発明が解決しようとする課題】

第5図の従来の加算器20においては、キャリ信号がキャリ端子c<sub>i</sub>およびc<sub>0</sub>間の2段のトランジスタゲートを通りなければならないので、キャリ信号の伝播速度が遅くなり演算速度が遅くなるという問題点があった。

この発明の目的は、キャリ信号が通過するトランジスタゲートを1段にすることにより高速動作が可能な加算器を提供することである。

#### 【課題を解決するための手段】

この発明に係る加算器は、第1の被加算信号を受ける第1の入力端子、第2の被加算信号を受ける第2の入力端子、加算結果を出力するための出力端子、キャリ信号を受ける第1のキャリ入力端子、キャリ信号を受ける第2のキャリ入力端子、第1のキャリ入力端子に対応して設けられる第1

のキャリ出力端子、第2のキャリ入力端子に対応して設けられる第2のキャリ出力端子、選択信号を受ける選択端子、第1のゲート手段、第2のゲート手段、選択手段、演算手段、およびキャリ制御手段を備えたものである。

第1のゲート手段は、第1のキャリ入力端子と第1のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる。第2のゲート手段は、第2のキャリ入力端子と第2のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる。選択手段は、選択端子に与えられる選択信号に応答して、第1のキャリ入力端子または第2のキャリ入力端子を選択する。演算手段は、第1の被加算信号、第2の被加算信号、および選択手段により選択されたキャリ入力端子に与えられるキャリ信号を加算し、その加算結果を出力端子に与える。

キャリ制御手段は、第1の被加算信号と第2の被加算信号とが異なる場合に、第1および第2のゲート手段のうち、少なくとも選択手段により選

一方、リバース動作時には、選択信号により第2のキャリ入力端子が選択される。第1の被加算信号と第2の被加算信号とが異なる場合には、第2のキャリ入力端子に与えられるキャリ信号が第2のゲート手段を介して第2のキャリ出力端子から出力される。第1の被加算信号と第2の被加算信号とが同じ場合には、第1の被加算信号または第2の被加算信号と同じ信号が第2のキャリ出力端子から出力される。また、第1の被加算信号、第2の被加算信号および第2のキャリ入力端子に与えられるキャリ信号が加算され、その加算結果が出力端子から出力される。

このように、ノーマル動作時においてもリバース動作時においても、キャリ信号は1段のゲート手段を通過ことになる。

#### 【実施例】

以下、この発明の一実施例を図面を用いて説明する。

第1図は、この発明の一実施例による加算器の構成を示す回路図である。第1図に示される加算

器されたキャリ入力端子に結合されるゲート手段を導通状態にし、第1の被加算信号と第2の被加算信号とが同じ場合には、第1および第2のキャリ出力端子のうち、少なくとも選択されたキャリ入力端子に対応するキャリ出力端子にその被加算信号と同じ信号を与える。

#### 【作用】

この発明に係る加算器によれば、ノーマル動作時には、選択信号により第1のキャリ入力端子が選択される。第1の被加算信号と第2の被加算信号とが異なる場合には、第1のキャリ入力端子に与えられるキャリ信号が第1のゲート手段を介して第1のキャリ出力端子から出力される。第1の被加算信号と第2の被加算信号とが同じ場合には、第1の被加算信号または第2の被加算信号と同じ信号が第1のキャリ出力端子から出力される。また、第1の被加算信号、第2の被加算信号および第1のキャリ入力端子に与えられるキャリ信号が加算され、その加算結果が出力端子から出力される。

器10は、ExORゲート1、2、インバータ3、マルチブレクサ4、NチャネルMOSトランジスタN1～N4、およびPチャネルMOSトランジスタP1～P4を含む。トランジスタN1、P1、トランジスタN2、P2、トランジスタN3、P3、トランジスタN4、P4がそれぞれトランジスタゲートT1、トランジスタゲートT2、トランジスタゲートT3、トランジスタゲートT4を構成している。

入力端子aには被加算信号である入力信号Aが与えられ、入力端子bには被加算信号である入力信号Bが与えられる。制御端子mには制御信号Mが与えられる。第1のキャリ入力端子c1にはキャリ信号C1が与えられ、第2のキャリ入力端子c1'にはキャリ信号C1'が与えられる。和出力端子sから和出力信号Sが出力され、キャリ伝播端子pからキャリ伝播信号Pが出力される。第1のキャリ出力端子c0からキャリ信号C0が出力され、第2のキャリ出力端子c0'からキャリ信号C0'が出力される。

ExORゲート1の一方の入力端子は入力端子aに接続され、他方の入力端子は入力端子bに接続されている。入力端子bは、トランスファゲートT1を介して第1のキャリ出力端子CO。に接続され、かつ、トランスファゲートT4を介して第2のキャリ出力端子CO。に接続されている。また、第1のキャリ入力端子CI。はトランスファゲートT2を介して第1のキャリ出力端子CO。に接続されている。第2のキャリ入力端子CI。はトランスファゲートT3を介して第2のキャリ出力端子CO。に接続されている。マルチブレクサ4の一方の入力端子は第1のキャリ入力端子CI。に接続され、他方の入力端子は第2のキャリ入力端子CI。に接続されている。マルチブレクサ4の制御端子は制御端子mに接続されている。

ExORゲート2の一方の入力端子はExORゲート1の出力端子に接続され、他方の入力端子はマルチブレクサ4の出力端子に接続されている。ExORゲート2の出力端子は出力端子sに接続されている。一方、ExORゲート1の出力端子

はキャリ伝播端子pに接続されている。また、ExORゲート1の出力端子は、トランジスタP1, N2, N3, P4のゲートに接続され、かつ、インバータ3を介してトランジスタN1, P2, P3, N4のゲートに接続されている。

第1図に含まれるマルチブレクサ4の具体的な回路図を第2図に示す。マルチブレクサ4は、NチャネルMOSトランジスタN5とPチャネルMOSトランジスタP5とからなるトランスファゲートT5、NチャネルMOSトランジスタN6とPチャネルMOSトランジスタP6とからなるトランスファゲートT6、およびインバータ41を含む。第1のキャリ入力端子CI。に接続される第1の入力端子i。はトランスファゲートT5を介して出力端子oに接続されている。第2のキャリ入力端子CI。に接続される第2の入力端子i。はトランスファゲートT6を介して出力端子oに接続されている。制御信号Mが与えられる制御端子mは、トランジスタP5およびN6のゲートに接続され、かつ、インバータ41を介してト

ンジスタN5およびP6のゲートに接続されている。制御信号Mが「L」レベルのときには、トランスファゲートT5がオンし、第1の入力端子i。に与えられるキャリ信号CI。がトランスファゲートT5を介して出力端子oに伝達される。制御信号Mが「H」レベルのときには、トランスファゲートT6がオンし、第2の入力端子CI。に与えられるキャリ信号CI。がトランスファゲートT6を介して出力端子oに伝達される。

次に、表3および表4を参照しながら第1図の加算器の動作について説明する。

(以下省略)

表3

M	A	B	CI。	P	S	CO。
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	1	1	0
0	0	1	1	1	0	1
0	1	0	0	1	1	0
0	1	0	1	1	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	1

表4

M	A	B	CI。	P	S	CO。
1	0	0	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	1	0
1	0	1	1	1	0	1
1	1	0	0	1	1	0
1	1	0	1	1	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	1

表3は加算器10のノーマル動作時の真理値表であり、表4は加算器10のリバース動作時の真理値表である。ノーマル動作時には、制御信号Mは「0」に固定される。また、ノーマル動作時には、第1のキャリ入力端子c1にキャリ信号CIが入力され、第1のキャリ出力端子COからキャリ信号COが出力される。逆に、リバース動作時には、制御信号Mは「1」に固定される。また、リバース動作時には、第2のキャリ入力端子c1にキャリ信号CIが入力され、第2のキャリ出力端子COからキャリ信号COが出力される。

表3に示すように、入力信号AおよびBが共に「0」のときは、入力されるキャリ信号CIに関係なく、出力されるキャリ信号COは「0」となる。したがって、入力信号AまたはBがキャリ信号COとして出力される。入力信号AおよびBが共に「1」のときは、入力されるキャリ信号CIに関係なく、出力されるキャリ信号COは「1」となる。したがって、入力信号Aまたは

はBがキャリ信号COとして出力される。入力信号AおよびBの和が「1」のとき、すなわち入力信号AおよびBのいずれか一方が「1」であり他方が「0」であるときには、キャリ信号CIが「1」ならばキャリ信号COも「1」となり、キャリ信号CIが「0」ならばキャリ信号COも「0」となる。したがって、キャリ信号CIがキャリ信号COとしてそのまま出力される。

同様にリバース動作時には、表4に示すように、入力信号AおよびBが共に「0」のときは、入力信号AまたはBがキャリ信号COとして出力される。入力信号AおよびBが共に「1」のときは、入力信号AまたはBがキャリ信号COとして出力される。入力信号AおよびBの和が「1」のときは、キャリ信号CIがそのままキャリ信号COとして出力される。

第1図において、ノーマル動作時には、制御端子mに与えられる制御信号Mは「L」レベルであるので、マルチプレクサ4は第1のキャリ入力端子c1に与えられるキャリ信号CIを選択し

ExORゲート2に与える。入力信号AおよびBが共に「0」のとき、ExORゲート1の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、トランスマルチプレクサT1およびT4がオンし、トランスマルチプレクサT2およびT3がオフする。その結果、入力信号BがトランスマルチプレクサT1を介して第1のキャリ出力端子COから出力されるとともに、トランスマルチプレクサT4を介して第2のキャリ出力端子COから出力される。したがって、キャリ信号COは「0」となる。このとき、ExORゲート2の一方の入力端子にはExORゲート1からの「L」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ4を介してキャリ信号CIが与えられる。したがって、キャリ信号CIが「0」のときには和出力信号Sは「0」となり、キャリ信号CIが「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBが共に「1」のときにも同様に、ExORゲート1の出力は「L」レベルと

なる。したがって、キャリ伝播信号Pは「0」となる。また、同様に、トランスマルチプレクサT1およびT4がオフし、トランスマルチプレクサT2およびT3がオンする。その結果、入力信号BがトランスマルチプレクサT1を介して第1のキャリ出力端子COから出力されるとともに、トランスマルチプレクサT4を介して第2のキャリ出力端子COから出力される。したがって、キャリ信号COは「1」となる。このとき、ExORゲート2の一方の入力端子にはExORゲート1からの「L」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ4を介してキャリ信号CIが与えられる。したがって、キャリ信号CIが「0」のときには和出力信号Sは「0」となり、キャリ信号CIが「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBのいずれか一方が「0」であり他方が「1」であるときには、ExORゲート1の出力は「H」レベルとなる。したがって、キャリ伝播信号Pは「1」となる。また、トラン

スマートゲート T 2 および T 3 がオンし、トランスマートゲート T 1 および T 4 がオフする。その結果、第1のキャリ入力端子  $c_{i1}$  に与えられるキャリ信号  $C_{I1}$  はトランスマートゲート T 2 を介して第1のキャリ出力端子  $c_{o1}$  に伝達され、キャリ信号  $C_{O1}$  として出力される。このとき、EXORゲート 2 の一方の入力端子には EXORゲート 1 からの「H」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ 4 を介してキャリ信号  $C_{I1}$  が与えられる。したがって、キャリ信号  $C_{I1}$  が「0」のときには和出力信号 S は「1」となり、キャリ信号  $C_{I1}$  が「1」のときには和出力信号 S は「0」となる。

リバース動作時には、制御端子 m に与えられる制御信号 M は「H」レベルであるので、マルチプレクサ 4 は第2のキャリ入力端子  $c_{i2}$  に与えられるキャリ信号  $C_{I2}$  を選択して EXORゲート 2 に与える。入力信号 A および B が共に「0」のときには、ノーマル動作時と同様に、キャリ伝播信号 P が「0」となり、また、トランスマートゲー

ト T 1 および T 4 がオンしトランスマートゲート T 2 および T 3 がオフする。その結果、入力信号 B がトランスマートゲート T 4 を介して第2のキャリ出力端子  $c_{o2}$  からキャリ信号  $C_{O2}$  として出力される。したがって、キャリ信号  $C_{O2}$  は「0」となる。このとき、EXORゲート 2 の一方の入力端子には EXORゲート 1 からの「L」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ 4 を介してキャリ信号  $C_{I2}$  が与えられる。したがって、キャリ信号  $C_{I2}$  が「0」のときには和出力信号 S は「0」となり、キャリ信号  $C_{I2}$  が「1」のときには和出力信号 S は「1」となる。

入力信号 A および B が共に「1」のときにも同様に、キャリ伝播信号 P は「0」となり、また、トランスマートゲート T 1 および T 4 がオンしトランスマートゲート T 2 および T 3 がオフする。その結果、入力信号 B がトランスマートゲート T 4 を介して第2のキャリ出力端子  $c_{o2}$  からキャリ信号  $C_{O2}$  として出力される。したがって、キャリ信

号  $C_{O2}$  は「1」となる。このとき、キャリ信号  $C_{I2}$  が「0」のときには和出力信号 S は「0」となり、キャリ信号  $C_{I2}$  が「1」のときには和出力信号 S は「1」となる。

入力信号 A および B のいずれか一方が「0」であり他方が「1」であるときには、ノーマル動作時と同様に、キャリ伝播信号 P は「1」となり、また、トランスマートゲート T 2 および T 3 がオンしトランスマートゲート T 1 および T 4 がオフする。その結果、第2のキャリ入力端子  $c_{i2}$  に与えられるキャリ信号  $C_{I2}$  がトランスマートゲート T 3 を介して第2のキャリ出力端子  $c_{o2}$  に伝達され、キャリ信号  $C_{O2}$  として出力される。このとき、キャリ信号  $C_{I2}$  が「0」のときには和出力信号 S は「1」となり、キャリ信号  $C_{I2}$  が「1」のときには和出力信号 S は「0」となる。

このように、ノーマル動作時には、第1のキャリ入力端子  $c_{i1}$  に与えられるキャリ信号  $C_{I1}$  が1段のトランスマートゲートを介して第1のキャリ出力端子  $c_{o1}$  に伝達され、キャリ信号  $C_{O1}$  。

として出力される。また、リバース動作時には、第2のキャリ入力端子  $c_{i2}$  に与えられるキャリ信号  $C_{I2}$  が1段のトランスマートゲートを介して第2のキャリ出力端子  $c_{o2}$  に伝達され、キャリ信号  $C_{O2}$  として出力される。したがって、キャリ信号の伝播速度が高速化され、演算速度の高速化が図られる。

第3図は、第1図の加算器を用いて構成された4ビットのキャリ・ルック・アヘッド方式の加算回路を示す図である。

第3図の加算回路は、4つの加算器  $1_{0k}$  から構成される。ここで  $k$  は  $0 \sim 3$  の整数である。1桁目の加算器  $1_{00}$  の第1のキャリ入力端子  $c_{i00}$  は接地されているとともにインバータ 9 を介してマルチプレクサ 5b の第2の入力端子  $x_0$  に接続されている。各加算器  $1_{01}, 1_{02}, 1_{03}$  の第1のキャリ出力端子  $c_{o0}$  は次桁の加算器  $1_{01}, 1_{02}, 1_{03}$  の第1のキャリ入力端子  $c_{i1}, c_{i2}, c_{i3}$  に接続されている。4桁目の加算器  $1_{04}$  の第1のキャリ出力端子  $c_{o4}$  はインバータ 8 を介

してマルチブレクサ5bの第1の入力端子x<sub>0</sub>に接続されている。一方、4桁目の加算器10<sub>4</sub>の第2のキャリ入力端子c<sub>1</sub>は接地されているとともにインバータ7を介してマルチブレクサ5aの第2の入力端子x<sub>1</sub>に接続されている。各加算器10<sub>1</sub>、10<sub>2</sub>、10<sub>3</sub>の第2のキャリ出力端子c<sub>0</sub>はそれぞれ下位の桁の加算器10<sub>2</sub>、10<sub>3</sub>、10<sub>4</sub>の第2のキャリ入力端子c<sub>1</sub>に接続されている。1桁目の加算器10<sub>0</sub>の第2のキャリ出力端子c<sub>0</sub>はインバータ6を介してマルチブレクサ5aの第1の入力端子x<sub>0</sub>に接続されている。各加算器10<sub>0</sub>のキャリ伝播端子pはNANDゲート12の入力端子に接続されている。NANDゲート12の出力はマルチブレクサ5aおよび5bの制御端子cに与えられるとともにインバータ11を介してマルチブレクサ5aおよび5bの制御端子cに与えられる。

各加算器10<sub>0</sub>の入力端子a、bにはそれぞれ入力信号A(k)、B(k)が与えられる。また、各加算器10<sub>0</sub>の制御端子mには制御信号Mが与

えられる。各加算器10<sub>1</sub>の和出力端子sからはそれぞれ和出力信号S(k)が出力される。各加算器10<sub>1</sub>のキャリ伝播端子pからはそれぞれキャリ伝播信号Pが出力される。

第3図に含まれるマルチブレクサ5aおよび5bの具体的な回路構成を第4図に示す。このマルチブレクサは、NチャネルMOSトランジスタN7とPチャネルMOSトランジスタP7とからなるトランスマッピゲートT7およびNチャネルMOSトランジスタN8とPチャネルMOSトランジスタP8とからなるトランスマッピゲートT8を含む。第1の入力端子x<sub>0</sub>はトランスマッピゲートT7を介して出力端子yに接続されている。第2の入力端子x<sub>1</sub>はトランスマッピゲートT8を介して出力端子yに接続されている。制御端子cはトランスマッピゲートP7およびN8のゲートに接続されている。制御端子c<sub>0</sub>はトランジスタN7およびP8のゲートに接続されている。制御端子cに与えられる信号が「L」レベルでありかつ制御端子c<sub>0</sub>に与えられる信号が「H」レベルであるときに

は、トランスマッピゲートT7がオンし、第1の入力端子x<sub>0</sub>に与えられる信号がトランスマッピゲートT7を介して出力端子yに伝達される。制御端子cに与えられる信号が「H」レベルでありかつ制御端子c<sub>0</sub>に与えられる信号が「L」レベルであるときには、トランスマッピゲートT8がオンし、第2の入力端子x<sub>1</sub>に与えられる信号がトランスマッピゲートT8を介して出力端子yに伝達される。

次に、第3図の加算回路の動作について説明する。各加算器10<sub>1</sub>において、2つの入力信号A(k)およびB(k)が互いに異なる場合にはキャリ伝播信号Pは「1」となる。4つの加算器10<sub>1</sub>から出力されるキャリ伝播信号Pのうちいかが「0」であるときには、NANDゲート12の出力は「H」レベルとなる。これにより、マルチブレクサ5aおよび5bは、第1の入力端子x<sub>0</sub>に与えられる信号を出力端子yから導出する。したがって、マルチブレクサ5bは、4桁目の加算器10<sub>4</sub>の第1のキャリ出力端子c<sub>0</sub>から出力される信号の反転信号を出力する。また、マル

チブレクサ5aは、1桁目の加算器10<sub>0</sub>の第2のキャリ出力端子c<sub>0</sub>から出力される信号の反転信号を出力する。

ノーマル動作時には、1桁目の加算器10<sub>0</sub>の第1のキャリ出力端子c<sub>0</sub>からキャリ信号が出力され、2桁目の加算器10<sub>1</sub>の第1のキャリ入力端子c<sub>1</sub>に与えられる。各加算器10<sub>1</sub>の第1のキャリ出力端子c<sub>0</sub>から出力されるキャリ信号は順次上位桁の加算器10<sub>1+1</sub>の第1のキャリ入力端子c<sub>1</sub>に与えられる。4桁目の加算器10<sub>4</sub>の第1のキャリ出力端子c<sub>0</sub>から出力されるキャリ信号は、インバータ8およびマルチブレクサ5bを介して出力される。リバース動作時には、4桁目の加算器10<sub>4</sub>の第2のキャリ出力端子c<sub>0</sub>からキャリ信号が出力され、3桁目の加算器10<sub>3</sub>の第2のキャリ入力端子c<sub>1</sub>に与えられる。各加算器10<sub>3</sub>の第2のキャリ出力端子c<sub>0</sub>から出力されるキャリ信号は順次下位桁の加算器10<sub>3-1</sub>の第2のキャリ入力端子c<sub>1</sub>に与えられる。1桁目の第2のキャリ出力端子c

○ 1 から出力されるキャリ信号はインバータ 6 およびマルチプレクサ 5a を介して出力される。

一方、4つの加算器 10 から出力されるキャリ伝播信号 P がすべて「1」であるときには、N AND ゲート 1, 2 の出力は「L」レベルとなる。これにより、マルチプレクサ 5a および 5b は、第 2 の入力端子 x<sub>1</sub> に与えられる信号を出力端子 y から導出する。したがって、マルチプレクサ 5b は、1 衝目の加算器 10 の第 1 のキャリ入力端子 c<sub>10</sub> に与えられる信号の反転信号をそのまま出力する。また、マルチプレクサ 5a は、4 衝目の加算器 10 の第 2 のキャリ入力端子 c<sub>10</sub> に与えられる信号の反転信号をそのまま出力する。したがって、ノーマル動作時においても、リバース動作時においても、キャリ伝播信号 P がすべて「1」のときには、キャリ信号は4つの加算器 10 を飛越してそのまま出力され、したがって、キャリ信号の伝播速度が高速化される。

このように、第 1 図の実施例の加算器を用いてキャリ・ルック・アヘッド方式の加算回路を構成

した場合にも、各加算器においてキャリ信号は1段のトランスマッジゲートしか通らないことになるので、キャリ信号の伝播速度が高速化され、演算速度の高速化が図られる。

なお、第 1 図の実施例においては、トランスマッジゲートを CMOS トランスマッジゲートとインバータとにより構成したが、Nチャネル MOS トランジスタよりなるトランスマッジゲートその他のゲートを用いてもよい。

しかしながら、第 1 図の実施例のように構成した方が、素子数が少なくなり、動作速度も速くなると思われる。

#### 【発明の効果】

以上のようにこの発明によれば、通常動作時とリバース動作時に対応してキャリ信号の経路をそれぞれ設け、各経路に1段のゲート手段を設けたので、より少ない素子数で高速動作が可能なビットリバース機能付加算器を得ることができる。

#### 4. 図面の簡単な説明

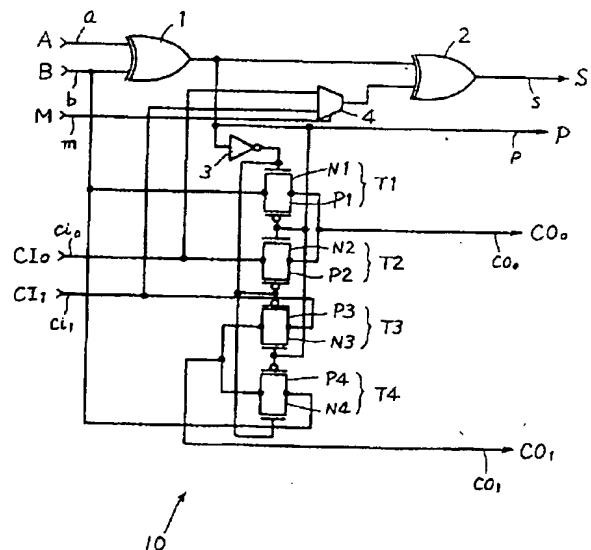
第 1 図はこの発明の一実施例による加算器の構

成を示す回路図である。第 2 図は第 1 図の加算器に含まれるマルチプレクサの構成を示す回路図である。第 3 図は第 1 図の加算器を用いて構成した4ビットのキャリ・ルック・アヘッド方式の加算回路を示す図である。第 4 図は第 3 図の加算回路に含まれるマルチプレクサの構成を示す回路図である。第 5 図は従来の加算器の構成を示す回路図である。第 6 図は第 5 図の加算器を用いて構成した4ビットのキャリ・ルック・アヘッド方式の加算回路を示す図である。

図において、1, 2 は EXOR ゲート、3 はインバータ、4 はマルチプレクサ、T<sub>1</sub> ~ T<sub>4</sub> はトランスマッジゲート、a, b は入力端子、m は制御端子、c<sub>10</sub> は第 1 のキャリ入力端子、c<sub>10</sub> は第 2 のキャリ入力端子、s は和出力端子、p はキャリ伝播端子、c<sub>00</sub> は第 1 のキャリ出力端子、c<sub>01</sub> は第 2 のキャリ出力端子である。

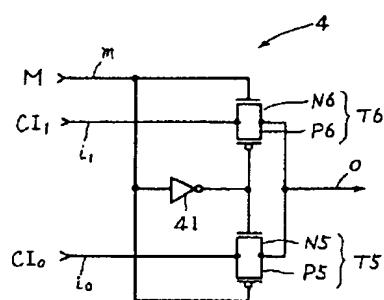
なお、各図中、同一符号は同一または相当部分を示す。

第 1 図

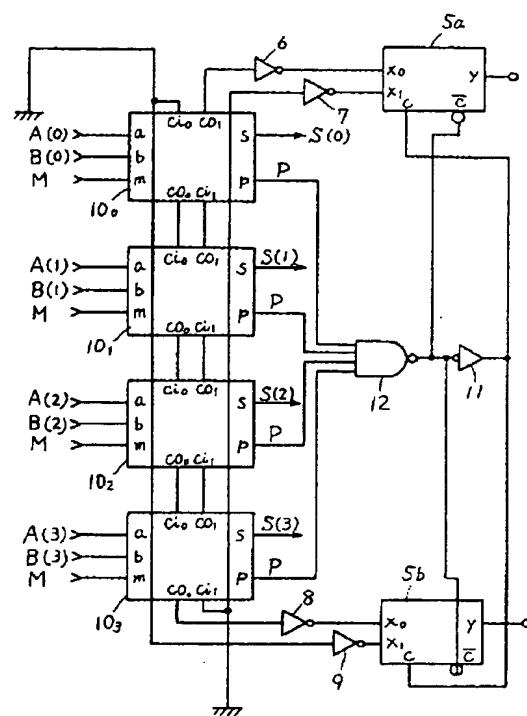


A, B: 入力信号	M: 制御信号
C10, C10: キャリ入力信号	S: 和出力信号
P: キャリ伝播信号	C00, C01: キャリ信号
4: マルチプレクサ	

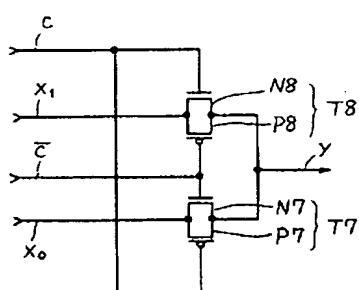
第2図



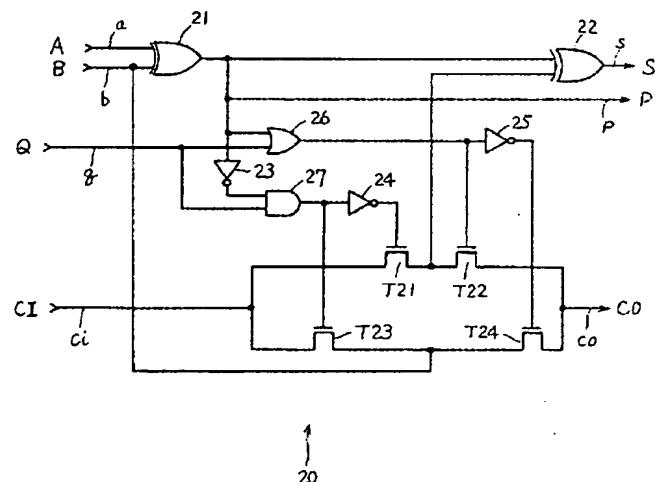
第3図



第4図



第5図



第6図

